

Ćwiczenie 1

1.1 Badanie bramki OR (suma logiczna) 7432

Układ 7432 zawiera w jednej obudowie cztery dwuwejściowe bramki OR w ćwiczeniu użyjemy tylko jednej z nich. Dla tej bramki piny 1 i 2 to wejścia a pin 3 to wyjście. Do pomiaru napięć użyj oscyloskopu. Nastaw czułość na 1V/działkę. Podłącz napięcia zasilania $V_{cc}=+5V$ (pin 14 w układzie scalonym) i masę (pin 7 w układzie scalonym). Używając przewodów montażowych zmontuj układ i uzupełnij tabelę.

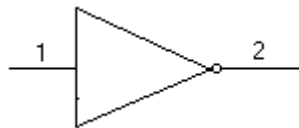


Rysunek 1-1. Symbol graficzny bramki OR.

| pin1 | pin2 | pin3 |
|------|------|------|
| 0 | 0 | |
| 0 | +5V | |
| +5V | 0 | |
| +5V | +5V | |

Tabela 1.1 Tablica prawdy dla bramki OR

1.2 Badanie układu inwertera

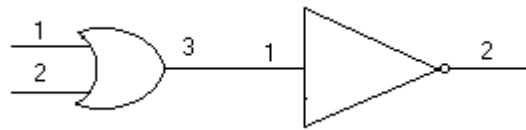


Rysunek 1-2. Symbol graficzny układu inwertera.

| pin1 | pin2 |
|------|------|
| 0 | |
| +5V | |

Tabela 1.2 Tablica prawdy dla układu inwrtera 7404

1.3 Badanie układu OR +inwerter



Rysunek 1-3. Układ OR + inwerter (7432 + 7404)

| układ 7432 | | 7404 |
|------------|------|------|
| pin1 | pin2 | pin3 |
| 0 | 0 | |
| 0 | +5V | |
| +5V | 0 | |
| +5V | +5V | |

Tabela 1-3.

1.4 Badanie układu NOR 7402



Rysunek 1-4. Symbol graficzny bramki NOR

| pin3 | pin2 | pin1 |
|------|------|------|
| 0 | 0 | |
| 0 | +5V | |
| +5V | 0 | |
| +5V | +5V | |

Tabela 1-4. Tabela prawdy dla układu NOR.

1.5. Dwuwęściowa bramka NAND.

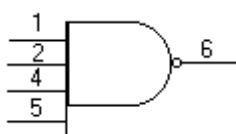


Rysunek 1-5 Symbol graficzny bramki NAND.

| pin1 | pin2 | pin3 |
|------|------|------|
| 0 | 0 | |
| 0 | +5V | |
| +5V | 0 | |
| +5V | +5V | |

Tabela 1-5. Tabela prawdy dla bramki dwuwęściowej bramki NAND.

1.6. Czterowęściowa bramka NAND 7420.

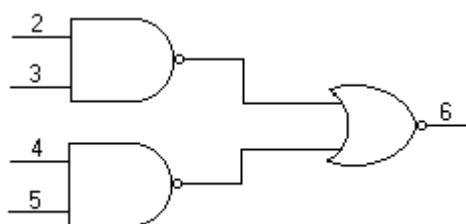


Rysunek 1-5. Symbol graficzny czterowęściowej bramki NAND.

| pin1 | pin2 | pin4 | pin5 | pin6 |
|------|------|------|------|------|
| 0 | 0 | 0 | 0 | |
| +5V | 0 | 0 | 0 | |
| +5V | +5V | 0 | 0 | |
| +5V | +5V | +5V | 0 | |
| +5V | +5V | +5V | +5V | |

Tabela 1-6. Tabela prawdy dla czterowęściowej bramki NAND.

1.7 AND-OR+inwerter 7451

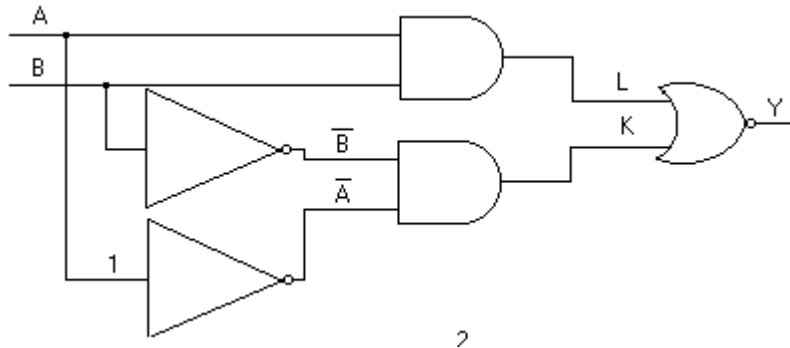


Rysunek 1-7.

| pin2 | pin3 | pin4 | pin5 | pin6 |
|------|------|------|------|------|
| 0 | 0 | 0 | 0 | |
| +5V | 0 | 0 | 0 | |
| +5V | 0 | +5V | 0 | |
| +5V | +5V | 0 | 0 | |
| +5V | +5V | +5V | 0 | |
| +5V | +5V | +5V | +5V | |

Tabela 1-7. Tabela prawdy dla układu 7451.

1.8 Uzupełnij tabelę prawdy dla układu przedstawionego na rysunku 1-8.



| A | B | \bar{A} | \bar{B} | K | L | Y |
|-----|-----|-----------|-----------|---|---|---|
| 0 | 0 | | | | | |
| +5V | 0 | | | | | |
| 0 | +5V | | | | | |
| +5V | +5V | | | | | |

Tabela 1-8.

Wpisz do tabeli 1-9. Booleanowskie zależności między wejściami i wyjściami poszczególnych badanych układów. Użyj nazw wejść i wyjść takich, jak zostały zaznaczone na odpowiednich schematach. Na przykład dla dwuwejściowej bramki AND wejścia oznaczone są jako PIN4 i PIN5 a wyjście jako PIN6, równanie będzie wyglądało następująco $PIN4 * PIN5 = PIN6$.

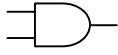
| Część | Równanie Booleanowskie |
|-------|------------------------|
| 1 | |
| 2 | |
| 3 | |
| 4 | |
| 5 | |
| 6 | |
| 7 | |
| 8 | |

Tabela 1-9.

Dodatki

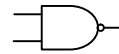
B. Podstawowe bramki

Bramka I (AND)



| X | Y | $X \cdot Y$ |
|---|---|-------------|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Bramka I-NIE (NAND)



| X | Y | $\overline{X \cdot Y}$ |
|---|---|------------------------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Bramka LUB (OR)



| X | Y | $X + Y$ |
|---|---|---------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Bramka LUB-NIE (NOR)



| X | Y | $\overline{X + Y}$ |
|---|---|--------------------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Bramka ALBO (XOR)



| X | Y | $X \oplus Y$ |
|---|---|--------------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Bramka ALBO-NIE (XNOR)



| X | Y | $X \otimes Y$ |
|---|---|---------------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |